

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[JAPANESE](#)[BACK](#)

26 / 33

件一 PATENT ABSTRACTS OF JAPAN

*Attachment*

(11) Publication number : 11-017044

(43) Date of publication of application : 22. 01. 1999

(51) Int. Cl.

H01L 23/12

(21) Application number : 09-167520 (71) Applicant : NEC CORP

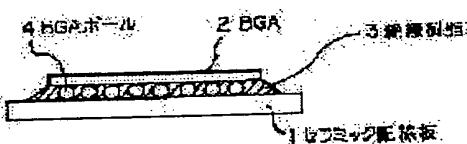
(22) Date of filing : 24. 06. 1997 (72) Inventor : KOBAYASHI YUTAKA

(54) BGA MOUNTING METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To disperse stress due to the difference between the thermal expansion coefficient of a ball grid array (BGA) and that of a circuit board by mounting the BGA on the circuit board, electrically connecting the electrode pad on the circuit board with the external terminal of the BGA and then filling the space between the BGA and the circuit board with an insulating resin for sealing.

SOLUTION: A BGA 2 is mounted on a ceramic wiring board 1, i.e., a circuit board, the electrode pad on the ceramic wiring board 1 is electrically connected with a BGA ball 4, which is the external terminal of the BGA 2, then, an insulating resin 3 is cast between the BGA 2 and the ceramic wiring board 1 for sealing. At that time, after heating the BGA 2 and the ceramic wiring board 1, the insulating resin 3 in a cylinder is dispensed to one side or two sides of the BGA 2. After wiring the sealing resin to completely creep to the lower plane of the BGA 2, the resin is cured. Thus, reliability of the connection between the BGA 2 and the ceramic wiring board 1 is ensured.



LEGAL STATUS

[Date of request for examination] 24. 06. 1997

[Date of sending the examiner's decision of rejection] 20. 04. 1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-17044

(43)公開日 平成11年(1999)1月22日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 23/12

識別記号

F I  
H 0 1 L 23/12

L

審査請求 有 請求項の数2 O L (全 3 頁)

(21)出願番号 特願平9-167520

(22)出願日 平成9年(1997)6月24日

(71)出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 小林 豊  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

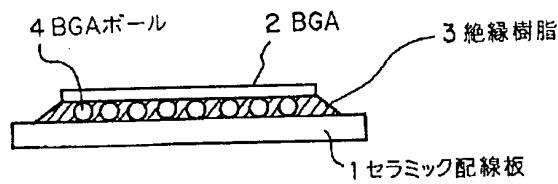
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 BGAの実装方法

(57)【要約】

【課題】 セラミック配線板にBGAを実装する場合、熱膨張係数の差に起因する応力の集中を防ぎ、接続の信頼性を向上させる。

【解決手段】 セラミック配線板1上にBGA2を実装した後に、セラミック配線板1とBGA2の間に絶縁樹脂3を流し込み硬化させる。



## 【特許請求の範囲】

【請求項1】回路基板にBGAを搭載して該回路基板上の電極パッドと該BGAの外部端子を電気的に接続した後、前記BGAと前記回路基板の間に絶縁樹脂を流し込み封止を行う、BGAの実装方法。

【請求項2】前記回路基板はセラミック配線板である請求項1に記載のBGAの実装方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、セラミック配線板等の回路基板上へのBGAの実装方法に関する。

## 【0002】

【従来の技術】図3は従来のBGAの実装方法を説明するための図である。

【0003】従来の、BGA(Ball Grid Array)の実装方法は、図3に示すように、回路基板としてのセラミック配線板101上にBGA102を搭載し、BGA102の外部端子(不図示)であるBGAボール103とセラミック配線板上の電極パッドとを電気的に接続するのみである。

## 【0004】

【発明が解決しようとする課題】しかしながら、従来技術のようにBGAをセラミック配線板に実装するのみの場合、両者の熱膨張係数の差が大きいと、実装後の温度変化(熱サイクル)により接続部であるBGAボールに応力が集中し、BGAボールの破壊につながる。したがって、従来の実装方式では基板とパッケージとの接続信頼性がないものとなっている。

【0005】そこで本発明の目的は、上記の従来技術の課題に鑑み、BGAと回路基板の熱膨張係数の差に起因する応力の分散を行い、セラミック配線板上へ実装したBGAの接続信頼性を向上させる、BGAの実装方法を提供することにある。

## 【0006】

【課題を解決するための手段】上記目的を達成するため本発明は、回路基板にBGAを搭載して該回路基板上の電極パッドと該BGAの外部端子を電気的に接続した後、前記BGAと前記回路基板の間に絶縁樹脂を流し込み封止を行う、BGAの実装方法である。この場合、前記回路基板はセラミック配線板である。

【0007】上記のとおりの発明では、BGAとセラミック配線板の間に絶縁樹脂が施されていることにより、BGAとセラミック配線板の熱膨張係数の違いから温度変化時に生じる応力が、接続部であるBGAボールに集中せず、封止樹脂全体に分散される。

## 【0008】

【発明の実施の形態】以下、本発明の実施の形態について

て図面を参照して説明する。

【0009】図1は本発明のBGAの実装方法を好適に実施した一形態を示す斜視図、図2は図1に示したBGAの実装状態を示す断面図である。

【0010】本形態におけるBGAの実装方法は、図1及び図2に示すように、回路基板であるセラミック配線板1にBGA2を搭載してセラミック配線板1上の電極パッド(不図示)とBGA2の外部端子であるBGAボール4とを電気的に接続した後、BGA2とセラミック配線板1との間に絶縁樹脂3を流し込み封止を行う。

【0011】絶縁樹脂3の流し込みにおいては、BGA2とセラミック配線板1を加熱した後、シリンジに入った絶縁樹脂4をBGA2の1辺又は2辺にディスペンスし、そのまま封止樹脂がBGA2の下面に完全に回り込むのを待ったのちキュアリングする。BGA2とセラミック配線板1を加熱するのは絶縁樹脂4の粘度を落しスマースにBGA2の下面に流し込み易くするためである。

【0012】このようにBGA2とセラミック配線板1の間に封止樹脂を配し、-40°C(30min)～常温(5min)～125(30min)の冷熱衝撃サイクル試験を実施した場合、400サイクルまで断線が発生しなかった。しかし、これと同様の試験を従来技術のようなセラミック配線板にBGAを搭載したのみの構造に対して行った場合、BGA2とセラミック配線板1との熱膨張係数の違いから、20サイクル以内に断線が発生した。したがって、本形態の実装方法によれば、飛躍的に接続信頼性が向上することが判った。

## 【0013】

【発明の効果】以上説明したように本発明は、BGAとセラミック配線板の間に樹脂封止を施すことにより、温度変化時に生じる熱膨張係数の差による応力が発生しても、BGAとセラミック配線板の間の電気的な接続信頼性が保証できる。

## 【図面の簡単な説明】

【図1】本発明のBGAの実装方法を好適に実施した一形態を示す斜視図である。

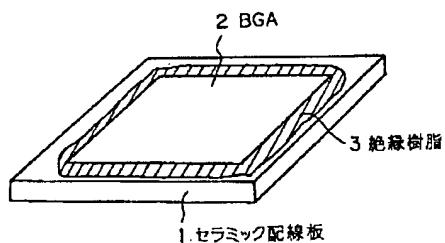
【図2】図1に示したBGAの実装状態を示す断面図である。

【図3】従来のBGAの実装方法を説明するための図である。

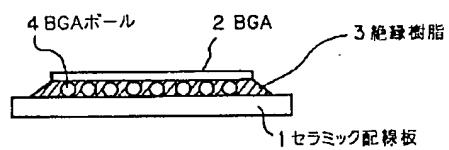
## 【符号の説明】

- 1 セラミック配線板(回路基板)
- 2 BGA
- 3 絶縁樹脂
- 4 BGAボール

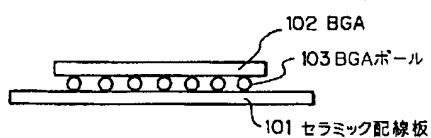
【図1】

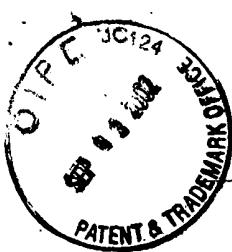


【図2】



【図3】





整理番号 7510353

発送番号 180556

発送日 平成14年 6月 6日 1 / 2

## 拒絶理由通知書

特許出願の番号 平成11年 特許願 第325770号  
起案日 平成14年 6月 3日  
特許庁審査官 坂本 薫昭 9265 4  
特許出願人代理人 稲垣 清様  
適用条文 第29条第2項、第29条の2

RECEIVED  
SEP-5 2002  
TECHNOLOGY CENTER 2800

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

### 理由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1～6
- ・引用文献等 1～2
- ・備考

そして、第2導電部材が、第1導電部材に接続されたはんだバンプからなるものは引用例2に記載されており、引用例1に記載されるような絶縁層と絶縁性樹脂層を有する半導体装置においても上記構成を採用することは当業者が適宜なし得たものと認められる。

2. この出願の下記の請求項に係る発明は、その出願の日前の出願であって、その出願後に出願公開された下記の出願の願書に最初に添付した明細書又は図面に記載された発明と同一であり、しかも、この出願の発明者がその出願前の出願に係る上記の発明をした者と同一でなく、またこの出願の時において、その出願人がその出願前の出願に係る上記特許出願の出願人と同一でもないので、特許法第29条の2の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1～6
- ・引用文献等 3～8

発送番号 180556

発送日 平成14年 6月 6日 2 / 2

### 引用文献等一覧

1. 特開平9-64049号公報
2. 特開平9-213830号公報
3. 特願平11-165305号 (特開2000-353762号)
4. 特願平11-308573号 (特開2001-127095号)
5. 特願平10-198127号 (特開2000-22052号)
6. 特願平11-249987号 (特開2001-77142号)
7. 特願平11-291472号 (特開2001-110828号)
8. 特願平11-113658号 (特開2000-306939号)

### 先行技術文献調査結果の記録

・調査した技術分野 I P C 第7版

H 0 1 L 2 3 / 1 2

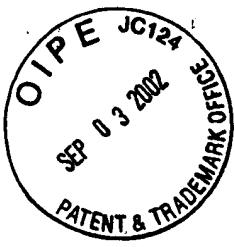
H 0 1 L 2 1 / 6 0

この先行技術文献調査の記録は、拒絶理由を構成するものではない。

この拒絶理由通知書の内容に関する問い合わせ先

特許審査第三部 電子素材加工 審査官 坂本薰昭

電話 03-3581-1101 内線 6362



NEC 00 USFP 553  
1/2

Reasons

1. The invention pertaining to the following claims of this application is based on the inventions that are described in the following publications which were distributed within Japan and abroad prior to that application and a patent cannot be granted according to the provisions of Patent Law Article No. 29 Item No. 2 since there is the possibility of being easily invented by a person having general knowledge in the technological field that is affiliated with the invention prior to the application.

Record (Refer to the List of Cited Documents for the Cited Documents)

- Claims 1~6
- Cited Documents 1~2
- Remarks

A 2nd conductive section being one formed from a solder bump that connects to a 1st conductive section is described in Citation 2, and utilization of the above-mentioned construction in a semiconductor device that has an insulating layer and an insulating resin layer as described in Citation 1 can be recognized as easily obtained by one skilled in the art.

2. The invention pertaining to the following claims of this application has the patent application prior to that application with the same invention that is described in the Figures or Specifications that are initially attached to the application of the following patent application which was done by laid-open application of application publication after that application; also, the inventor of this application is not the same person that invented the aforementioned pertaining to the patent application prior to that application at the time of this application and that applicant is not the same as the applicant of the aforementioned patent application, thus a patent cannot be granted according to the provisions of Patent Law Article No. 29 [No.] 2.

Record (Refer to the List of Cited Documents for the Cited Documents)

- Claims 1~6
- Cited Documents 3~8

2/2

List of Cited Documents

1. Publication of Japanese Laid-Open Patent No. H9-64049

2. Publication of Japanese Laid-Open Patent No. H9-213830
3. Japanese Patent Application No. H11-165305  
(Laid-Open Patent No. 2000-353762)
4. Japanese Patent Application No. H11-308573  
(Laid-Open Patent No. 2001-127095)
5. Japanese Patent Application No. H10-198127  
(Laid-Open Patent No. 2000-22052)
6. Japanese Patent Application No. H11-249987  
(Laid-Open Patent No. 2001-77142)
7. Japanese Patent Application No. H11-291472  
(Laid-Open Patent No. 2001-110828)
8. Japanese Patent Application No. H11-113658  
(Laid-Open Patent No. 2000-306939)

...

整理番号 75310353

発送番号 281787

発送日 平成14年 8月26日 1 / 2

## 拒絶理由通知書

特許出願の番号

平成11年 特許願 第325770号

起案日

平成14年 8月21日

特許庁審査官

坂本 薫昭 9265 4R00

特許出願人代理人

稻垣 清 様

適用条文

第29条第2項

<<< 最 後 >>>

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

### 理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

### 記 (引用文献等については引用文献等一覧参照)

- ・請求項 1～2
- ・引用文献等 1～4
- ・備考

ワイヤボンディング法でバンプを設け、バンプ上に樹脂層を設け、樹脂層及びバンプの上部を研磨することは引用例2～4に記載されるように周知であり、引用例1に記載された第1導電部材を設けた半導体装置の製造方法においても、上記周知技術を採用することは当業者が適宜なし得たものと認められる。

### 引 用 文 献 等 一 覧

1. 特開平9-64049号公報
2. 特開平3-94438号公報
3. 特開平10-256427号公報
4. 特開平11-146323号公報

最後の拒絶理由通知とする理由

発送番号 281787

発送日 平成14年 8月26日 2 / 2

最初の拒絶理由通知に対する応答時の補正によって通知することが必要になった拒絶の理由のみを通知する拒絶理由通知である。

この拒絶理由通知書の内容に関する問い合わせ先

特許審査第三部 電子素材加工 審査官 坂本薰昭

電話 03-3581-1101 内線 6362

## Reasons

The invention pertaining to the following claims of this application is based on the inventions that are described in the following publications which were distributed within Japan and abroad prior to that application and a patent cannot be granted according to the provisions of Patent Law Article No. 29 Item No. 2 since there is the possibility of being easily invented by a person having general knowledge in the technological field that is affiliated with the invention prior to the application.

Record (Refer to the List of Cited Documents for the Cited Documents)

- Claims 1~2
- Cited Documents 1~4
- Remarks

Establishing a bump by a wire bonding method, establishing a resin layer on a bump, and coating the resin layer and bump upper part are conventional as described in Citations 2~4; and, the application of the above-mentioned conventional technology in a manufacturing method of a semiconductor device with a 1st conductive member established that is described in Citation 1, also, can be recognized as suitably obtained by one skilled in the art.

## List of Cited Documents

1. Publication of Japanese Laid-Open Patent No. H9-64049
2. Publication of Japanese Laid-Open Patent No. H3-94438
3. Publication of Japanese Laid-Open Patent No. H10-256427
4. Publication of Japanese Laid-Open Patent No. H11-146323
- ...

T. SY491

発送日付 : 2002. 08. 26

提出期限 : 2002. 10. 26

## 特許庁 意見提出通知書

出願人 氏名 日本電気株式会社  
住所 日本国東京都港区芝5丁目7-1

代理人 氏名 朱成民 外1人  
住所 ソウル市鍾路区内資洞219 ハンメリビル(金&張特許法律事務所)

出願番号 10-2000-0067591

発明の名称 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THE SAME

本出願に対する審査結果、以下のような拒絶理由があり特許法第63条の規定によりこれを通知するので、意見があるか補正を行う必要がある場合は上記期限までに意見書又は／及び補正書を提出されたい（上記期限について毎回1ヵ月単位で延長を申請することができ、この申請について別途の期間延長承認通知はしない）。

### [理由]

本出願の特許請求の範囲第1～24項に記載された発明は、その出願以前にこの発明が属する技術分野における通常の知識を有する者が以下に指摘したことにより容易に発明できたものであるため、特許法第29条第2項の規定により特許を受けることができない。

### [記]

本願発明の請求項第1～24項の要旨は、バンプに加えられる応力を緩和させるために導電部の表面を除いて半導体チップを覆う応力バッファ層の絶縁膜を形成する技術であって、これは日本公開特許公報平10-340932号(1998.12.22)において半導体チップと配線基板に熱的応力を吸収する応力バッファ層を形成する技術と、日本公開特許公報平11-111754号(1999.4.23)において導電部の表面を除いて半導体チップを覆う類似した絶縁膜を備える技術との結合から、本願の技術分野における通常の知識を有する者の水準で容易に発明できたものである。

### [添付]

添付1 日本公開特許公報平10-340932号(1998.12.22) 1部

添付2 日本公開特許公報平11-111754号(1999.4.23) 1部

2002年 8月 26日

特許庁 審査4局  
半導体2 審査担当官室 審査官 ユファン チョル

NEC 00USFP553

/1

[Reasons]

The invention that is described in the present application Claims No. 1~24 cannot be granted a patent according to the provisions of Patent Law Article No. 29 Item No. 2 since there is the possibility of being easily invented as indicated below by a person having general knowledge in the technological field that is affiliated with the invention prior to the application.

[Record]

The essentials of the present application Claims No. 1~24 are technology with a stress buffer layer insulating film formed that covers a semiconductor chip other than the surfaces of the conductive sections for alleviating the stress that is added to the bump, and this is easily invented by a person at a level of having general knowledge in the technological field of the present application from combining technology with a stress buffer layer formed that absorbs the thermal stress for a semiconductor chip and wiring substrate in the Publication of Japanese Laid-Open Patent No. H10-340932 (12.22.1998) with technology that utilizes an analogous insulating film that covers a semiconductor ship other than the surfaces of the semiconductive sections in the Publication of Japanese Laid-Open Patent No. H11-111754 (4.23.1999).

[Attachments]

Attachment 1	Publication of Japanese Laid-Open Patent No. H10-340932 (12.22.1998)	1 Copy
Attachment 2	Publication of Japanese Laid-Open Patent No. H11-111754 (4.23.1999)	1 Copy

...

# 經濟部智慧財產局專利核駁審定書

受文者：日本電氣股份有限公司（代理人：周良謀先生）

地址：新竹市東大路一段一一八號十樓

發文日期：中華民國九十年十二月三日

發文字號：（九〇）智專二（一）04048字  
第〇九〇八三〇二一八四號

一、申請案號數：〇八九一二四一二六

二、發明名稱：半導體裝置及其製造方法

三、申請人：

名稱：日本電氣股份有限公司

地址：日本

四、專利代理人：

姓名：周良謀先生

地址：新竹市東大路一段一一八號十樓

五、申請日期：八十九年十一月十四日

六、優先權項目：

1 1999/11/16 日本II-325770

專利分類第七版..H01L 23/12

七、審查委員姓名：王榮華 委員

八、審定內容：

主文：本案應不予專利。

依據：專利法第二十條第二項。

理由：

(一) 本案之技術特徵有二：(1)利用絕緣緩衝樹脂包覆導電凸塊以減低應力；(2)絕緣應力緩衝樹脂層可形成於半導體基板表面，使半導體晶片製造步驟以晶圓為單位得以實現。

(二) 惟利用特徵(1)以減低應力，實屬習知技術（如一九九九年一月二十二日公告之JP 11-017044，其亦係利用絕緣緩衝樹脂包覆導電凸塊以減低應力）。至於製造步驟以晶圓為單位，而從一個晶圓的分割獲得大量的半導體晶片IC之技術特徵，則已揭示於一九九九年二月二日公告之美國專利第5866946號（附件一）。因此，本案所有關鍵技術特徵均可直接參考引證案而得之，本案所請係結合引證案技術，而為熟知此技藝者可輕易完成，其產生功效，亦囿於可預期之範圍，本案不具進步性。

據上論結，本案不符法定專利要件，爰依專利法第二十條第二項，審定如主文。如不服本審定，得於文到之次日起三十日內，備具再審查理由書一式二份及規費新台幣參仟伍百元整，向本局申請再審查。

局長  
陳明邦

依照分層負責規定  
授權單位主管決行



裝

訂

線